

特 許 公 報 (B2) 平4-38016

⑫ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬公告 平成4年(1992)6月23日

G 06 F 13/42

3 5 0 A

8840-5B

発明の数 1 (全7頁)

⑭発明の名称 同期化回路

⑮特 願 昭59-232577

⑯公 開 昭61-110253

⑰出 願 昭59(1984)11月5日

⑱昭61(1986)5月28日

⑲発 明 者 足 立 宏 東京都日野市富士町1番地 富士ファコム制御株式会社内

⑳出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

㉑出 願 人 富士ファコム制御株式会社 東京都日野市さく富士町1番地

㉒代 理 人 弁理士 玉島 久五郎 外2名

審 査 官 森 田 信 一

1

⑳特許請求の範囲

1 外部からの非同期信号を同期クロックに同期化して内部のシーケンス制御に用いる同期式制御回路において、同期用のフリップフロップを設け、該同期用フリップフロップの前段に2つのトランスベアレントタイプのラッチを並列におき、外部からの1つの非同期信号を該2つのラッチの両方に同時に入力させ、該2つのラッチに該外部よりの非同期信号を上記同期クロックのパルスの前縁でラッチし、該2つのラッチの出力をオア回路に入力しそのオア出力を上記同期用フリップフロップに入力させ、上記同期クロックのパルスの後縁で該同期用フリップフロップの動作タイミングを与えるよう構成し、上記同期クロックはそのパルス幅が、上記同期用フリップフロップのセットアップ・タイム、上記オア回路の遅れ時間および上記ラッチのホールドタイムの合計時間より少し大きな時間に設定され、上記同期用フリップフロップの同期のタイミングより同期クロックのパルス幅分以前のタイミングにて上記同期クロックにより上記外部からの非同期信号を該2つのラッチにラッチし、その出力のオアを該同期用フリップフロップに入力させ、該同期クロックにより該同期フリップフロップより同期信号を得ることを特徴とする同期化回路。

2

発明の詳細な説明

〔発明の属する技術分野〕

本発明は同期化回路、さらに詳しく言えば、同期クロックに同期して制御シーケンスを進行させる制御回路に、該同期クロックと非同期の信号を該同期クロックに同期化して取込むための同期化回路に関する。

〔従来技術とその問題点〕

デジタル制御装置は通常同期クロックを持ち、当該装置内では該同期クロックに同期して制御シーケンスを進行させる方法をとるが、バス・インタフェース部や外部インタフェース部では、非同期信号を取扱う場合が多く、インタフェース部で非同期信号を同期化して当該デジタル制御装置内に取込み、これを当該装置内のシーケンス制御回路に使用する。

第4図は、同期クロック内蔵のデジタル制御装置にバスと外部からの信号路を接続した構成を示す。図において、DCは同期クロックを内蔵し、一定の機能を有するデジタル制御装置、Bはバス、OLは外部信号路である。バスBおよび外部信号路OLからはデジタル制御装置DC内蔵の同期クロックとは同期していない非同期信号を受ける。従つてこの非同期信号を該同期クロックに同期化するために、バスBおよび外部信号路OLよりの入口に同期化回路が必要となる。

第5図は、従来技術による同期化回路の一例のブロック図、第8図はその動作シーケンスのタイミングを示す。

すなわち、バスBからの非同期信号はレシーバR<sub>i</sub>で受信され、その出力信号S<sub>1</sub>（非同期の外部よりの入力信号）を同期用フリップフロップF<sub>i</sub>に入力させる。フリップフロップF<sub>i</sub>はD形（遅延形）フリップフロップとして構成され、D入力端子に信号S<sub>1</sub>が、T入力端子に同期クロック発生器CGから同期クロックCが入力している。

第5図の同期化回路は、正常な状態においては、第8図に示す動作シーケンスのタイミングで動作する。

例えば、第8図に示すように、同期クロックCのt<sub>0</sub>とt<sub>1</sub>とのタイミングの間で信号S<sub>1</sub>が受信（“0”から“1”へ変化）されると、同期クロックCのタイミングt<sub>0</sub>の立下がり（フリップフロップF<sub>i</sub>にセットされ、これにより同期クロックCに同期して、フリップフロップF<sub>i</sub>の出力端子Qからの出力信号S<sub>2</sub>が得られる。

信号S<sub>2</sub>は同期信号なので、デジタル制御装置（DC、第4図参照）内部の制御信号S<sub>5</sub>等と共に組合せ回路CBCにおいて必要な制御信号S<sub>3</sub>、S<sub>4</sub>等を生成し、次段のフリップフロップF<sub>ii</sub>、F<sub>iii</sub>等を制御することができる。信号S<sub>3</sub>、S<sub>4</sub>は同期クロックCの次のタイミングt<sub>1</sub>までに安定した信号になる。

第7図は非同期の外部信号の到来のタイミングと同期クロックの、障害発生原因となり得るタイミングの関係を示す図である。図において、Cは同期クロックCの、S<sub>1</sub>は外部信号のそれぞれの波形を示し、また、S<sub>2</sub>は同期フリップフロップF<sub>i</sub>のQ出力S<sub>2</sub>の波形を示すものである。

外部信号S<sub>1</sub>が第7図に示すように同期フリップフロップF<sub>i</sub>のセットアップに必要な時間（t<sub>su</sub>）を満たせない範囲のタイミングで変化した場合、同期フリップフロップF<sub>i</sub>のQ出力の信号S<sub>2</sub>は①、②、③あるいは④に示す波形となる。

①はフリップフロップF<sub>i</sub>がタイミングt<sub>0</sub>においてやつと反転した場合、②は上記タイミングt<sub>0</sub>で反転できず、t<sub>1</sub>のタイミングで反転した場合、③はタイミングt<sub>0</sub>とt<sub>1</sub>との中間の不規則なタイミングで反転した場合、④はタイミングt<sub>0</sub>で不完全に反転し、次のタイミングt<sub>1</sub>以前に再度反転した場

合のそれぞれのQ出力の信号S<sub>2</sub>の波形を示すものである。いずれも正常な動作とは言えないが、①、②は同期クロックCと同期しているため、組合せ制御回路CBCを正常に動作させることができる。③あるいは④の発生の確率は非常に少ないが同期信号にならないため、組合せ制御回路CBC等の後段の動作の正常性を保証できず、たまたま発生する間欠障害の要因となる。

上記の欠点を防止するため、第8図に示すように同期フリップフロップF<sub>ii</sub>、F<sub>iii</sub>を直列に2段設置し、第7図の出力信号S<sub>2</sub>において第1段のフリップフロップF<sub>ii</sub>が、③あるいは④の波形を送出するような異常動作をしても、第2段のフリップフロップF<sub>iii</sub>において同期化させる手段が知られている。第9図は第8図に示す従来回路における各信号のタイミング関係を示す図である。第8図においてその記号は第5図と対応するものを示し、なおF<sub>ii</sub>はフリップフロップF<sub>i</sub>と同様のフリップフロップ、S<sub>11</sub>はフリップフロップF<sub>ii</sub>のQ出力の信号を示す。

第8図において、第9図に示すタイミングで非同期の外部信号S<sub>1</sub>が到来すると、同期クロックCのt<sub>0</sub>のタイミングにおいて同期フリップフロップF<sub>i</sub>が反転し、信号S<sub>11</sub>を生じ、さらに同期クロックCの次のタイミングt<sub>1</sub>において同期フリップフロップF<sub>ii</sub>のQ出力から信号S<sub>2</sub>を生ずる。この信号S<sub>2</sub>は同期信号として後段の回路に与えられる。

ここで信号S<sub>1</sub>が、第7図のタイミング関係図に示すように、フリップフロップF<sub>ii</sub>のセットアップに必要な時間を満たせない範囲のタイミングで変化した場合、同期フリップフロップF<sub>ii</sub>のQ出力の信号S<sub>11</sub>は、第7図のS<sub>2</sub>の①、②、③あるいは④に示す波形の信号となる。このうち障害の原因となる③、④の波形でも、次段の同期フリップフロップF<sub>iii</sub>において正常な同期信号S<sub>2</sub>（第9図のS<sub>2</sub>）に変換され、従って次段回路は正常に動作する。

このようにして、外部信号S<sub>1</sub>のタイミングの変動により発生のおそれのある障害は防止できるが、非同期の外部信号S<sub>1</sub>を同期するために同期クロックを2回必要とするので同期化の遅れ時間が無視できなくなる。第9図においてtdは同期化の遅れ時間を示すもので、最少の場合でも同期ク

ロックCの1周期分、また最大の場合は2周期分となる。

このように、従来の技術は、非同期の外部信号の同期化を確実にこなうとすれば、同期化の際の遅れ時間が長くなるという欠点があった。

#### 〔発明の目的〕

本発明は、従来技術の上記の欠点を除去し、非同期の外部信号の同期化を確実にこなうとともに同期化の際の遅れ時間を最少にした同期化回路を提供することを目的とするものである。

#### 〔発明の要点〕

本発明による同期化回路は、外部からの非同期信号を同期クロックに同期化して内部のシーケンス制御に用いる同期式制御回路において、同期用のフリップフロップを設け、該同期用フリップフロップの前段に2つのトランスペアレントタイプ  
5 のラッチをパラレルにおき、外部からの1つの非同期信号を該2つのラッチの両方に同時に入力させ、該2つのラッチに該外部よりの非同期信号を上記同期クロックのパルスの前縁でラッチし、該  
20 2つのラッチの出力をオア回路に入力しそのオア出力を上記同期用フリップフロップに入力させ、上記同期クロックのパルスの後縁で該同期用フリップフロップの動作タイミングを与えるよう構成される。

そして上記同期クロックはそのパルス幅が、上記同期用フリップフロップのセットアップ・タイム、上記オア回路の遅れ時間および上記ラッチの  
30 ホールドタイムの合計時間より少し大きな時間に設定され、上記同期用フリップフロップの同期のタイミングより同期クロックのパルス幅分以前のタイミングにて上記同期クロックにより上記外部からの非同期信号を該2つのラッチにラッチし、その出力のオアを該同期用フリップフロップに入力させ、該同期クロックにより該同期フリップ  
35 フロップより同期信号を得るものである。

なお、本発明の一つの実施例に従えば、同期クロックのパルスの前縁で上記2つのラッチに外部よりの非同期信号をラッチし、該パルスの後縁で同期フリップフロップの動作タイミングを与える。  
40

#### 〔発明の実施例〕

以下本発明の実施例を図面について説明する。

第1図は本発明の一実施例のブロック図であ

る。図において、Bはバス、R<sub>1</sub>はバスからの非同期の外部信号を受け取るレシーバ、S1はその出力信号、L<sub>1</sub>、L<sub>2</sub>はトランスペアレント・タイプのラッチ、S21、S22はそれぞれの出力信号、ORは信号S21、S22を入力し、オア出力の信号S23を生成し、同期フリップフロップF<sub>1</sub>に入力させるオア回路、Cは同期クロックでフリップフロップF<sub>1</sub>およびラッチL<sub>1</sub>、L<sub>2</sub>のそれぞれのクロック入力端に接続される。またレシー  
10 バR<sub>1</sub>の出力信号(非同信号)S1はラッチL<sub>1</sub>、L<sub>2</sub>の両方に入力する。

第3図aに第1図のトランスペアレントタイプのラッチL<sub>1</sub>の接続構成を同図bにその動作タイミングを示す。なおラッチL<sub>2</sub>も同様な構成を有し、同様に動作する。

第3図aにおいて、L<sub>1</sub>はラッチ、FFはD形フリップフロップで、同期クロックCの前縁(パルスの立上り)に応動して反転するもの、ANDはアンドゲート、OR<sub>1</sub>はオアゲート、S1、S21、Cは第1図のものに対応する。

第3図bは同図aのラッチの動作タイミング図である。

いま、入力信号S1が“0”であればクロックCによって、フリップフロップはリセット状態  
25 (Q出力が“0”、 $\overline{Q}$ 出力が“1”)にある。アンドゲートANDは一方の入力( $\overline{Q}$ 出力)が“1”であり、導通状態にあるが、信号S1は“0”であるのでその出力は“0”である。一方フリップフロップFFのQ出力は“0”であるのでオアゲートOR<sub>1</sub>の2入力はともに“0”であり、その出力信号S21も入力信号S1と同様に“0”である。

いま、時点t<sub>1</sub>において入力信号S1が“0”から“1”に変化するとその“1”はアンドゲートANDおよびオアゲートOR<sub>1</sub>を経て出力し、その出力信号S21は入力信号S1と同様“1”となる。

同期クロックCのタイミングt<sub>2</sub>の前縁(立上り)で、フリップフロップFFは反転し、Q出力が“1”、 $\overline{Q}$ 出力が“0”の状態に保持される。 $\overline{Q}$ 出力が“0”となつてアンドゲートANDが非導通となり、その出力は“0”となるがQ出力“1”がオアゲートOR<sub>1</sub>を経て出力し、出力信号S21は信号S1の如何に拘らず“1”にラッチ

される。

時点 $t_0$ において入力信号 $S_1$ が“1”から“0”に変化し入力信号 $S_1$ がなくなったとする。同期クロック $C$ のタイミング $t_0$ の前縁(立上り)でフリップフロップ $FF$ は反転し、 $Q$ 出力が“0”、 $\bar{Q}$ 出力が“1”となる。このとき、アンド・ゲート $AND$ が非導通となり、また $\bar{Q}$ 出力が“0”となるので出力信号 $S_{21}$ は入力信号 $S_1$ と同様の“0”となる。

さて、第2図は第1図の本発明による同期化回路の動作タイミングを示す図である。図において、 $C$ は同期クロック $C$ のタイミングを、 $S_1$ 、 $S_{21}$ 、 $S_{22}$ 、 $S_{23}$ 、 $S_2$ は各同名の配号の信号のタイミングを示し、 $t_0$ はラッチ $L_1$ 、 $L_2$ のホールドタイム $t_{pd}$ はオア回路 $OR$ の遅延時間、 $t_m$ はフリップフロップ $F_1$ のセットアップタイムをそれぞれ示す。なお $t_m$ は同期クロック $C$ のクロック幅であり、上記のセットアップタイム $t_m$ 、遅延時間 $t_{pd}$ およびホールドタイム $t_0$ の合計時間より少し大きく設定してある。同期フリップフロップ $F_1$ のセットのタイミングは同期クロック $C$ のバースの後縁(立下り)のタイミングであり、ラッチ $L_1$ 、 $L_2$ のラッチのタイミングは前記のように同期クロック $C$ のバースの前縁(立上り)のタイミングである。

第1図の本発明による同期化回路において、バース $B$ よりの信号はレシーバ $R_1$ に受信され、第2図に示すように、タイミング $t_0$ において、非同期の外部信号 $S_1$ (“0”より“1”に転ずる)としてラッチ $L_1$ 、 $L_2$ に inputs する。ラッチ $L_1$ 、 $L_2$ はトランスベアレントタイプのラッチであるので、ホールドタイム $t_0$ 後に、その出力信号 $S_{21}$ および $S_{22}$ は信号 $S_1$ に追隨して変化する。同様に信号 $S_{23}$ も、オア回路 $OR$ の遅延時間 $t_{pd}$ だけ遅れて同様に変化する。同期クロック $C$ のタイミング $t_0$ のバースの前縁(立上り)でラッチ $L_1$ 、 $L_2$ は信号 $S_1$ をラッチし、少くとも次のタイミング $t_0$ のバースの前縁(立上り)までは、信号 $S_1$ に変化があつても、それには応答しない。この結果、同期クロック $C$ のタイミング $t_0$ のバースの後縁(立下り)で同期フリップフロップ $F_1$ は安定した信号 $S_{23}$ をセットし、同期クロック $C$ に完全に同期した信号 $S_2$ を作成することができる。

トランスベアレントタイプのラッチ $L_1$ 、 $L_2$ を

パラレルに設けたため、同期フリップフロップ $F_1$ への入力信号 $S_{23}$ を確実な安定した信号とすることができる。すなわち、第3図bに示す同期クロック $C$ の例えばタイミング $t_0$ の立上がりエッジに先行するセットアップタイム $t_m$ の範囲で信号 $S_1$ が変化しても、パラレルに設けたラッチ $L_1$ 、 $L_2$ の出力がオア回路 $OR$ を介して同期フリップフロップ $F_1$ への入力信号 $S_{23}$ が形成されているため、ラッチ $L_1$ 、 $L_2$ の何れか一方が正常に  
10 応答すれば入力信号 $S_{23}$ の正常性は保証される。また、一方のラッチが応答せず、かつ他方のラッチが不安定な動作をして例えば第7図の③、④のような出力信号を出した場合でも、この不安定な動作をしたラッチの出力信号は同期フリップ  
15 フロップ $F_1$ の入力信号 $S_{23}$ であり、組合せ回路 $CBC$ には直接入力されないため、この同期フリップフロップ $F_1$ が次の同期クロックによつて動作することにより第5図に示す従来回路のような誤動作は生じない。なお、同期フリップフロップ  
20  $F_1$ が同時に誤動作することも理論上は考えられるが、ラッチと同期フリップフロップ $F_1$ とが同時に誤動作する可能性は実際には極めて少ないので、実用上は問題とならない。

〔発明の効果〕

25 本発明は上記のように構成されているので、本発明により非同期信号の同期化が一層確実となり、しかも同期化の際の遅れ時間を最小に(最大同期クロックの一周期)におさえることが可能な効果がある。同期化の際の遅れ時間を最小におさ  
30 えることができるため、高速化が進む同期化回路には有効である。

本発明の構成によつて回路素子の多少の増加は免れないが、回路の集積化が急速に進んでいる現在では、この程度の回路素子増加は問題とならず、動作の確実性の向上および同期化の際の遅れ時間の短縮の効果の方が重要で、今後、確実にして高速の動作の要求されるこの種の同期化回路に好適である。

図面の簡単な説明

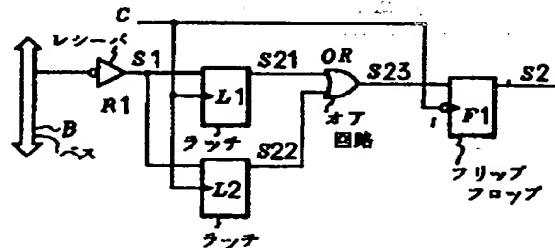
40 第1図は本発明の一実施例のブロック図、第2図は第1図の実施例の動作タイミング図、第3図aは第1図の実施例中のトランスベアレントラッチの構成の一例のブロック図、同図bは同図aの動作タイミング図、第4図は同期クロック内蔵の

デジタル制御装置に非同期の外部信号を接続した一般の接続構成を示す図、第5図は従来技術による同期化回路の一例のブロック図、第6図は第5図の同期化回路の正常動作タイミング図、第7図は第5図の同期化回路の異常動作タイミング図、第8図は従来技術による改良された同期化回路のブロック図、第9図は第8図の同期化回路の

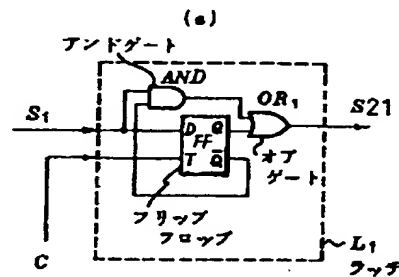
動作タイミング図である。

B…バス、R<sub>1</sub>…レシーバ、L<sub>1</sub>、L<sub>2</sub>…トランスベアレント形ラッチ、OR…オア回路、F<sub>1</sub>…同期フリップフロップ、C…同期クロック、S<sub>1</sub>…非同期の外部よりの入力信号、S<sub>2</sub>…同期した出力信号、FF…フリップフロップ。

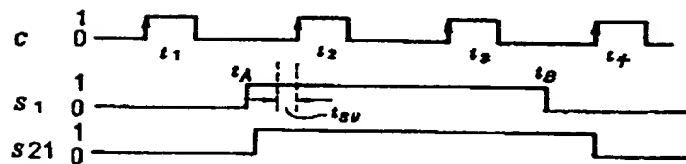
第1図



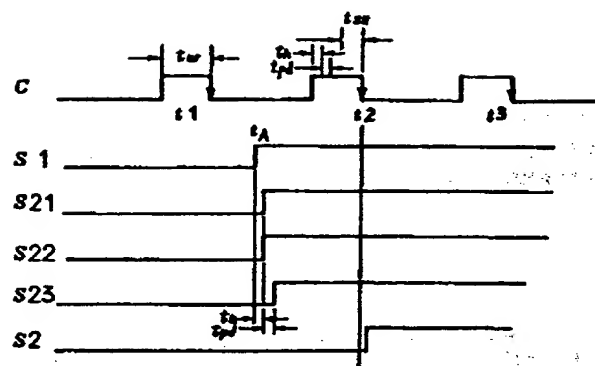
第3図



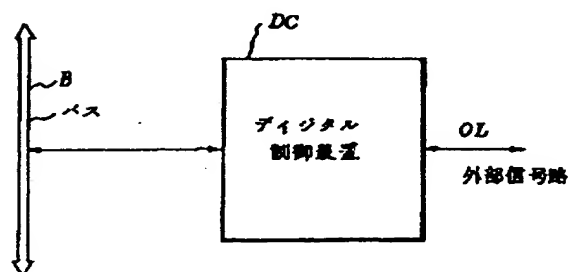
(b)



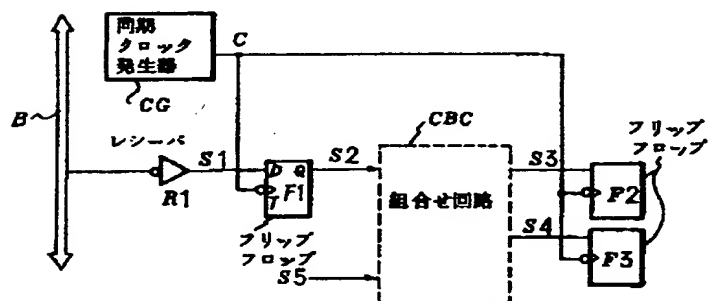
第2図



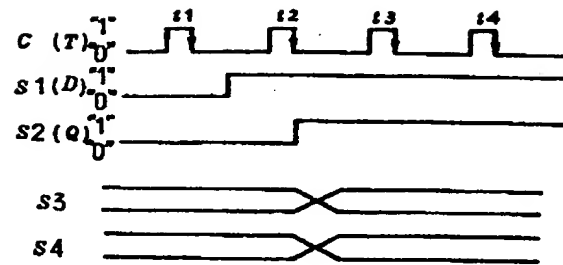
第4図



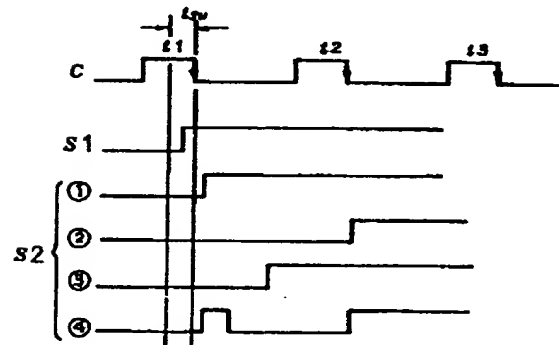
第5図



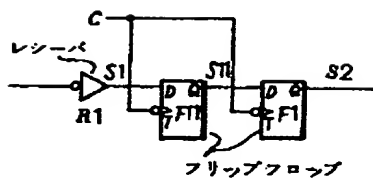
第6図



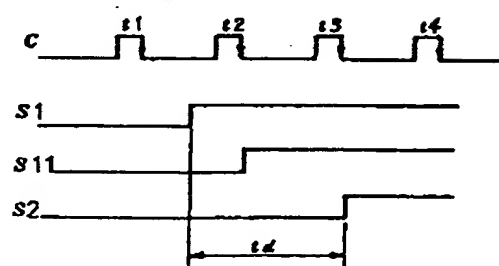
第7図



第8図



第9図



**This Page Blank (uspto)**